

ORTHOGONAL FREQUENCY DIVISION MULTIPLEX TRANSMISSION RECEPTION SYSTEM AND BLOCK CODING METHOD FOR IT

Publication number: JP2000295192 (A)

Publication date: 2000-10-20

Inventor(s): KIM JIN-SOOK

Applicant(s): SAMSUNG ELECTRONICS CO LTD

Classification:

- international: H04J11/00; H04L1/00; H04L27/26; H04J11/00; H04L1/00;
H04L27/26; (IPC1-7): H04J11/00

- European: H04L1/00B7B; H04L27/26M1; H04L27/26M2A1

Application number: JP20000083711 20000324

Priority number(s): KR19990010494 19990326

Also published as:

EP1039714 (A2)
EP1039714 (A3)
EP1039714 (B1)
US6810007 (B1) *
KR20000061445 (A)

more >>

Abstract of JP 2000295192 (A)

PROBLEM TO BE SOLVED: To provide an OFDM transmission system that encodes binary data of a prescribed length into tetral data expressed in 2-bit pairs, modulates the coded data and transmits the modulated data, to provide an OFDM reception system that demodulates and decodes a received OFDM signal, and to provide a block coding method that encodes the binary data into the tetral data.

SOLUTION: The transmission system includes a block encoder 100 that encodes binary data with a length U into V-adic data expressed in n-bit pairs according to a prescribed mapping rule, a serial/parallel converter 101 that converts the V-adic data into parallel data, a V-adic modulator 102 that applies V-adic modulation to the parallel V-adic data to generate one orthogonal frequency division multiplex (OFDM) symbol consisting of U-sets of sub symbols, and a transmission section that applies post-processing to the OFDM symbol so as to be suitable for radio transmission and transmits it. Thus, the hardware configuration is simplified and the system is made compact. Moreover, since a response delay of the system is reduced, data transmission at a high transmission rate is attained.



Data supplied from the **esp@cenet** database — Worldwide

(19)日本特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2000-295192

(P2000-295192A)

(43)公開日 平成12年10月20日(2000.10.20)

(51)Int.Cl.

識別記号

FI

テレポート^{*}(参考)

H04J 11/00

H04J 11/00

Z

審査請求 未請求 請求項の数11 O L (全11頁)

(21)出願番号 特願2000-83711(P2000-83711)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅庭洞416

(22)出願日 平成12年3月24日(2000.3.24)

(72)発明者 金 真淑

大韓民国 京畿道 龍仁市 器興邑 ▲堂

▼複里 13番地 斗進アパート 102棟

(31)優先権主張番号 99-10494

901号

(32)優先日 平成11年3月26日(1999.3.26)

(74)代理人 100064414

弁理士 磯野 道造

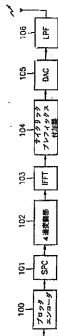
(33)優先権主張国 韓国(KR)

(54)【発明の名称】 直交周波数分割多重化送受信システム及びこのためのブロック符号化方法

(57)【要約】

【課題】 直交周波数分割多重化送受信システム及びこのためのブロック符号化方法を提供する。

【解決手段】 長さがUの2進データを所定のマッピング規則に従ってnビット対で表現されるV進データに符号化するブロックエンコーダ100と、V進データを並列データに変換する直列/並列変換器101と、並列に入力されるV進データをV進変調してU個のサブシンボルよりなる1つの直交周波数分割多重化(OFDM)シンボルを生成するV進変調器102と、OFDMシンボルを無線伝送に適するように後処理して送信する送信部とを含む。これにより、ハードウェアの構成が単純化され、装置のコンパクト化が図れる。さらに、システムの応答遅れが減るので高速のデータ伝送が可能となる。



【特許請求の範囲】

【請求項1】 長さがUの2進データを所定のマッピング規則に従ってnビット対で表されるV進データに符号化するブロックエンコーダと、前記V進データを並列データに変換する直列／並列変換器と、並列に入力されるV進データをV進変調してU個のサブシンボルよりなる1つの直交周波数分割多重化シンボルを生成するV進変調器と、前記直交周波数分割多重化シンボルを送信する送信部とを含むことを特徴とする直交周波数分割多重化送信システム。

【請求項2】 前記ブロックエンコーダは、入力される2進データの符号化結果であるnビット対で表されるV進データを出力するように、入力可能な2進データに対応して出力するV進データを貯蔵するコードブック貯蔵器であることを特徴とする請求項1に記載の直交周波数分割多重化送信システム。

【請求項3】 前記ブロックエンコーダの前段に、任意のnビット対で表現されるV進データを生成するV進データ生成部と、前記生成されたV進データをV進変調し、且つ逆高速フーリエ変換処理して前記直交周波数分割多重化シンボルを生成する直交周波数分割多重化シンボル生成部と、前記生成された直交周波数分割多重化シンボルが所定条件を満たすと、コードワードの候補として判別する判別部と、前記コードワードの候補のうち、各コードワードの候補間のビット変化が少ないコードワードを2¹個分抽出するコードワード抽出部とをさらに具備し、前記2進データがアドレスとなる前記コードブック貯蔵部の対応位置に前記抽出されたコードワードを前記V進データとして貯蔵することを特徴とする請求項2に記載の直交周波数分割多重化送信システム。

【請求項4】 前記判別部は、前記直交周波数分割多重化シンボルのピークパワー対平均パワー比が所定値以下であるかどうかを判別することを特徴とする請求項3に記載の直交周波数分割多重化送信システム。

【請求項5】 前記ブロックエンコーダは、入力可能な2進データに対応して出力するV進データを貯蔵するコードブックが所定領域に分割され、前記分割された領域がカルノーマップによって前記2進データの各ビットによる第1論理方程式で表現され、前記V進データの各ビットが前記第1論理方程式及び前記2進データのビットにより第2論理方程式で表現され、前記第2論理方程式を満足するように複数の論理積（AND）、論理和（OR）及び否定（NOT）ゲートで構成されることを特徴とする請求項1に記載の直交周波数分割多重化送信システム。

【請求項6】 U本の搬送波により送られてきた直交周波数分割多重化信号を復調するように適するように前処理する前処理部と、前記前処理した直交周波数分割多重化信号をV進復調してnビット対で表現されるV進データを生成するV進復調器、前記V進データを直列デー

タに変換する並列／直列変換器と、直列V進データを所定マッピング規則に従って長さがUの2進データに復号化するブロックデコーダとを含むことを特徴とする直交周波数分割受信システム。

【請求項7】 前記ブロックデコーダは、送られてきたV進データに対応する長さがUの2進データを出力するように、送られてくるそれぞれのV進データに対応して出力される2進データを貯蔵するコードブック貯蔵部であることを特徴とする請求項6に記載の直交周波数分割多重化受信システム。

【請求項8】 前記ブロックデコーダは、送られてくるV進データに対応して出力される2進データを貯蔵するコードブックが所定領域に分割され、前記分割された領域がカルノーマップによって前記V進データの各ビットによる第1論理方程式で表現され、前記2進データの各ビットが前記第1論理方程式及び前記V進データのビットにより第2論理方程式で表現され、前記第2論理方程式を満足するように複数の論理積（AND）、論理和（OR）及び否定（NOT）ゲートで構成されることを特徴とする請求項6に記載の直交周波数分割多重化受信システム。

【請求項9】 任意のnビット対で表現されるV進データを生成するステップと、前記V進データを変調し、且つ逆高速フーリエ変換処理して直交周波数分割多重化シンボルを生成するステップと、前記直交周波数分割多重化シンボルが所定条件を満たすと、コードワードの候補として分類するステップと、分類されたコードワードの候補のうち、ビットの変化が少ない順番に入力可能な2進データの個数だけ抽出するステップと、抽出されたコードワードを前記2進データの入力可能な各ケースに対応づけてコードブックを作成するステップとを含むことを特徴とする直交周波数分割多重化伝送のためのブロック符号化方法。

【請求項10】 前記直交周波数分割多重化シンボルを前記コードワードの候補として分類する条件は、前記直交周波数分割多重化シンボルのピークパワー対平均パワー比が所定値以下であるかどうかを判別することであることを特徴とする請求項9に記載の直交周波数分割多重化伝送のためのブロック符号化方法。

【請求項11】 前記コードブックを所定領域に分割するステップと、分割された領域を前記2進データの各ビットによる第1論理方程式で表現するステップと、前記コードワードの各ビットを前記分割された領域と前記2進データの各ビットによる第2論理方程式で表現するステップと、前記2進データが入力される時に前記コードワードを出力するように、複数の論理和ゲート、論理積ゲート及び否定ゲートで前記第1及び第2論理方程式を満足するブロックエンコーダを構成するステップとをさらに具備することを特徴とする請求項9に記載の直交周波数分割多重化伝送のためのブロック符号化方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、直交周波数分割多重化送受信システム及びこのためのブロック符号化方法に関する。

【0002】

【従来の技術】直交周波数分割多重化(Orthogonal Frequency Division Multiplexing; 以下、OFDMという。)は多重搬送波変調方式であって、多重経路フェージング及びシンボル間干渉に強く、信号対雑音比(Signal-to-Noise Ratio; 以下、SNRという。)が低いほか、時間的分散が激しいチャンネルでも高い伝送率で、且つ信頼できるデータの伝送が可能な長所がある。特に、この技術は、移動無線通信分野に好適であって、従来より、無線LAN(Local Area Network)、デジタルオーディオまたはビデオ放送等に適用されてきた。

【0003】ところが、OFDM方式の最大の短所として、OFDM信号の伝送に際し、高いピークパワー対平均パワー比(Peak-to-Average Power Ratio; 以下、PARという。)を有することが挙げられる。例えば、N本の副搬送波を使ってデータを伝送する場合、同じ位相を有するN個の信号が付加されると、平均パワーのN倍に至るピークパワーが生じる。平均パワーよりも大きいピークパワーは非線形要素となり、この非線形要素は副搬送波間の相互変調を起こす。その結果、受信端におけるSNRが低下し、且つ好ましくない帯域外放射が起こる。もし、パワー増幅器またはパワーミキサーが小さいバックオフ(Back off)を伴って動作すると、無線通信当局(Telecommunications Authorities)によって限られている帯域外パワーが適切に保持されず、このことが受信端のSNRを低下させる原因となる。したがって、副搬送波間の相互変調及び好ましくない帯域外放射に起因するOFDM信号のスペクトル再成長を防止するべく、パワー増幅器またはパワーミキサーは大きいバックオフを伴って動作させる必要がある。このことはパワー増幅器が非効率的に動作することを意味し、結局、送信機のコスト増を招くこととなる。

【0004】これらの問題を克服するために、PARを下げる方法として、高速フーリエ変換(Fast Fourier Transform; 以下、FFTという。)処理を施す方法、位相を変える方法及びブロックコードを用いる方法が提案されている。前記FFT処理を施す方法とは、高速フーリエ変換器の前段に任意の副搬送波のみに値を有するブロックを付加し、FFT及び逆高速フーリエ変換(以下、IFFTという。)を繰り返すことによりPARを下げる値を見出す方法である。ところが、この方法は、PARを下げる値を見出すため

にデータが伝送される際には必ず同じ作業を繰り返さなければならぬため具現化される方法が複雑化し、時間遅れの問題もあって無線通信システムには不向きであった。

【0005】また、前記位相を変える方法は、N個の信号が互いに同じ位相を有しないように、伝送しようとするN個の信号の位相をそれぞれ適宜に変換する方法である。この位相変換方法には、ゴレイコード(Golay codes)及びリードソロモコード(Reed-Muller codes)を用いる補償コードがある。この補償コードは、N個の信号の位相を位相コード集合に変換するために、指数関数で表される位相シフターを用いる。ところが、その位相シフターはハードウェアにて具現化しようとする複雑化するため、実現が難しいという問題がある。

【0006】また、前記ブロックコードを用いる方法は、コードブックを用いて符号化及び復号化を行うため、エンコード及びデコードの寸法が大きいという短所がある。さらに、この方法は2進変調データに対するブロックコードのみを考慮するため、データ伝送率が低いという短所もある。

【0007】

【発明が解決しようとする課題】本発明は上記事情に鑑みて成されたものであり、その目的は、所定長さの2進データを2ビット対で表される4進データに符号化し、且つ符号化された結果を変調して送信するOFDM送信システム、受信されたOFDM信号を復調し且つ復号化するOFDM受信システム及び前記2進データを4進データに符号化するブロック符号化方法を提供することである。

【0008】

【課題を解決するための手段】前記目的を達成するために、本発明は、長さUの2進データを所定のマッピング規則に従ってnビット対で表されるV進データに符号化するブロックエンコードと、前記V進データを並列データに変換する直列/並列変換器と、並列に投入されるV進データをV進変調してU個のサブシンボルよりなる1つの直交周波数分割多重化(OFDM)シンボルを生成するV進変調器と、前記OFDMシンボルを送信する送信部とを含むことを特徴とする。

【0009】また、前記目的を達成するために、本発明は、U本の搬送波によって送られてきた直交周波数分割多重化(OFDM)信号を復調するのに適するように前処理する前処理部と、前記前処理されたOFDM信号をV進復調してnビット対で表現されるV進データを生成するV進復調器と、前記V進データを直列データに変換する並列/直列変換器と、直列V進データを所定マッピング規則に従って長さUの2進データに復号化するブロックデコードとを含むことを特徴とする。

【0010】さらに、前記目的を達成するために、本発

明は、任意の n ビット対で表現される V 進データを生成するステップと、前記 V 進データを変調し、且つ逆高周波フーリエ変換処理して直交周波数分割多重化（OFDM）シンボルを生成するステップと、前記OFDMシンボルが所定条件を満足するとコードワードの候補として分類するステップと、分類されたコードワードの候補のうち、ビットの変化が少ない順順に入力可能な2進データの個数だけ抽出するステップと、抽出されたコードワードを前記2進データの入力可能な各ケースに対応させてコードブックを作成するステップとを含むことを特徴とする。

【0011】

【発明の実施の形態】以下、添付した図面に基づき、本発明の望ましい実施例についてさらに詳細に説明する。

【0012】図1は、本発明に係るOFDM送信システムの一例のブロック図である。図1を参照すると、本発明に係るOFDM送信システムは、ブロックエンコード100、直列/並列変換器（Serial to Parallel Converter；以下、SPCという。）101、4進変調器（Quaternary Modulator）102、逆高周波フーリエ変換器（以下、IFFTという。）103、サイクリックプレフィックス付加器104、デジタル/アナログ変換器（Digital-to-Analogue Converter；以下、DACという。）105及びローパスフィルタ（Low Pass Filter；以下、LPFという。）106を含む。

【0013】前記ブロックエンコード100は、所定長さの2進データを所定の符号率にてブロック符号化する。例えば、8本の副搬送波を有する送信システムの場合、8ビットの2進データ A_0, A_1, \dots, A_7 は所定の符号率（例えば、1/2）にてブロック符号化されて16ビットの2進データ C_0, C_1, \dots, C_{15} に変換される。このとき、変換は所定のマッピング規則に基づく。前記SPC101は、ブロックエンコード100で符号化されたデータを並列データに変換する。

【0014】前記4進変調器102は、夫々2ビット対が表す4進データ値に基づいて C_0, C_1, \dots, C_{15} を変調し、8個のサブシンボルを生成する。ここで、4進変調器102としては、直交振幅変調器（Quadrature Amplitude Modulation；以下、QAMという。）、または4相PSK（Quadrature Phase Shift Keying）が好適である。本発明では説明を簡単にするため4進変調器を例示したが、ブロックエンコード100の符号化の結果に応じて V 進変調器に拡張することもできる。

【0015】前記IFFT103は、前記4進変調器102で変調されたデータを8回逆高周波フーリエ変換して1個のOFDMシンボルを形成する。前記サイクリックプレフィックス付加器104は、OFDMシンボルにサ

イクリックプレフィックスを付加する。付加されたサイクリックプレフィックスの長さは、1個のOFDMシンボルの長さの10%程度である。前記DAC105はサイクリックプレフィックスの付加されたOFDMシンボルをアナログシンボルに変換し、前記LPF106はこれをローパスフィルタリングする。

【0016】図2は、図1のOFDM送信システムから送られてきた信号を受信するOFDM受信システムの一例のブロック図である。図2を参照すると、本発明に係るOFDM受信システムは、LPF110、アナログ/デジタル変換器（Analogue-to-Digital Converter；以下、ADCという。）111、サイクリックプレフィックス除去器112、FFT113、4進復調器114、並列/直列変換器（Parallel to Serial Converter；以下、PSCという。）115及びブロックデコード116を含む。

【0017】前記LPF110は、OFDM送信システムから送られてきたOFDM信号をOFDM送信システムのLPF106に等しい周波数帯域でフィルタリングする。前記ADC111は前記LPF110でフィルタリングされた信号をデジタル信号に変換し、前記サイクリックプレフィックス除去器112はOFDM送信システムで付加されたサイクリックプレフィックスを除去する。前記FFT113、前記4進復調器114、前記PSC115及び前記ブロックデコード116は、それぞれOFDM送信システムに対応する構成要素によって行われた過程の逆過程を実行することにより、OFDM信号を復元する。

【0018】以上の過程は、8本の副搬送波を使って送受信を行うシステムを例にとって説明したものである。もし、16本の副搬送波を使って送信する場合であれば、送信システムにおいて、ブロックエンコード100とSPC101との間にインターリバー（図示せず。）をさらに具備する。例えば、16ビットの2進データ $A_0, \dots, A_7, A_8, \dots, A_{15}$ が順次入力される場合、ブロックエンコード100はこれを符号率1/2にてブロック符号化し、それぞれ $C_0 C_1, \dots, C_{14} C_{15} C_{16}$ 及び $C_{17}, \dots, C_{30} C_{31}$ を出力する。そして、インターリバーは、 $C_0 C_1, \dots, C_{14} C_{15} C_{16} C_{17}, \dots, C_{30} C_{31}$ を $C_0 C_1 C_{16} C_{17} C_2 C_3 C_{18} C_{19} \dots C_{14} C_{15} C_{30} C_{31}$ にインターリバーする。このとき、前記4進変調器102からは、16個のサブシンボルよりなる1個のOFDMシンボルが出力される。

【0019】また、16本の副搬送波を使って受信する場合、受信システムにおいては、PSC115とブロックデコード116との間にデインターリバー（図示せず。）を具備する。このデインターリバーは、 $C_0 C_1 C_{16} C_{17} C_2 C_3 C_{18} C_{19} \dots C_{14} C_{15} C_{30} C_{31}$ を $C_0 C_1, \dots, C_{14} C_{15} C_{16} C_{17}, \dots, C_{30} C_{31}$ にデインターリ

ープする。

【0020】図3は、図1及び図2に示されたブロックエンコーダ100及びブロックデコーダ116の設計方法を示す一例のフローチャートである。図3を参照すると、本発明に係るブロックエンコーダ100及びブロックデコーダ116の設計方法は、V進データ生成段階（ステップ200）、OFDMシンボル生成段階（ステップ202）、判別段階（ステップ204及び206）、マッピング規則生成段階（ステップ208〜214）及びハードウェア構成段階（ステップ216）を含む。

【0021】図4は、図1及び図2に示されたブロックエンコーダ100及びブロックデコーダ116を設計するための装置の一例のブロック図である。図4を参照すると、本発明に係るブロックエンコーダ100及びブロックデコーダ116の設計装置は、V進データ生成部240、OFDMシンボル生成部242、判別部244、コードワード抽出部246、コードブック貯蔵部248、マッピング規則生成部250及びハードウェア252を含む。

【0022】以下、図3及び図4に基づき、本発明に係るブロックエンコーダ及びブロックデコーダの設計方法をさらに詳細に説明する。

【0023】図3、図4に示すように目的とするサブシンボル数 U 及び1サブシンボルに伝送しようとするデータの変調方式（例えば、V進）が決定されると、V進データ生成部240は長さ U のV進データを生成する

$$PAR = \frac{\max(|X(t)|^2)}{\frac{1}{T} \int_0^T |X(t)|^2 dt}$$

【0028】前記式（2）中、 $X(t)$ は1つのOFDMシンボルを表し、 T は1つのOFDMシンボルの間隔を表す。

【0029】コードワード抽出部246は、分類されたコードワードの候補のうち、エンコードまたはデコードの寸法が縮められるコードワード、すなわち、データ間のビット変化が少なくてエンコードまたはデコードを構成するゲート数が低減できるコードワードを、入力される2進データの総数分だけ選択して最終のコードワードとして設定する（ステップ208）。例えば、長さ 8 （8ビット）の2進データが入力された場合、 $2^8=256$ 個のコードワードが抽出される。コードブック貯蔵部248は、これらのコードワードと2進データとを対応づけるコードブックを貯蔵する（ステップ210）。

【0030】図5は、前記段階を行って作成された一例のコードブックを示すものであって、エンコードまたはデコードの入出力関係を示すものである。ここで、各数は16進数にて表現されており、MSはエンコードの入力上位4ビット $A_0A_1A_2A_3$ を、LSはエンコードの入

（ステップ200）。次に、OFDMシンボル生成部242は、生成されたV進データを変調し、且つIFFT処理を施してOFDMシンボルを生成する（ステップ202）。次に、判別部244は、生成されたOFDMシンボルが所定条件、すなわち、OFDMシンボルのPARが目的とする値 PAR_{th} 以下であるかどうかを判別する（ステップ204）。前記判別の結果がYesであれば、コードワードの候補として分類する（ステップ206）。

【0024】例えば、8個のサブシンボルを有する4進データを変調して送信する場合であれば、4進データの総数 $4^8=65536$ のうち、 $PAR_{th} \leq 1.03$ dBを満足する640個のデータがコードワードの候補として分類される。ここで、dBはビークパワー対平均パワー比の大きさを記述する単位である。そして16個のサブシンボルを有する4進データを変調して送信する場合であれば、コードワードの候補として分類する条件は、コードワードの候補として分類する条件は、前記 PAR_{th} が下記の式（1）の関係を有することが好ましい。

【0025】

【数1】

$$PAR_{th} \approx 6dB \quad \cdots (1)$$

【0026】また、前記PARは下記の式（2）から得られる。

【0027】

【数2】

…（2）

力下位4ビット $A_4A_5A_6A_7$ を表す。残りは、MS及びLSよりなるエンコードの入力それぞれに該当する16ビット出力データ $C_0C_1\cdots, C_{14}C_{15}$ を16進数にて表現したものである。

【0031】前記コードブック貯蔵部248は、ブロックエンコードとして見なすことができる。すなわち、入力された2進データがアドレスとなり、前記アドレスが指すところに貯蔵されたコードワードが読み出されて出力されることができるのである。これをより速く行うため、前記コードブックから所定のマッピング規則を導き、導かれたマッピング規則を満足するようにハードウェア252にて前記ブロックエンコードを構成することができる。このため、マッピング規則生成部250は、コードブックを所定領域に分割する（ステップ212）。

【0032】図6は、本発明に使用されたコードブックの分割例である。図6に示されるように、コードブックは、G、H、J、K、L、M、N、P、Q及びRに分割され、例えば、G領域を満足するコードワードは64個

である。分割された領域を公知のカルノーマップに従つて単純化させて、下記の式 (3) のようなブール論理方程式を得る。 【 0033 】 【 数3 】

$$G = \overline{A_0} \overline{A_1} \overline{A_4} A_5 + \overline{A_0} A_1 \overline{A_4} \overline{A_5} + A_0 \overline{A_1} A_4 A_5 + A_0 A_1 A_4 \overline{A_5} \quad \cdots (3)$$

【 0034 】 同様に、H、J、K、L、M、N、P、Q 及びRも下記の式 (4) に示すブール論理方程式で表現することができる。 【 0035 】 【 数4 】

$$\begin{aligned} H &= \overline{A_0} \overline{A_1} A_4 \overline{A_5} + \overline{A_0} A_1 A_4 A_5 + A_0 \overline{A_1} \overline{A_4} \overline{A_5} + A_0 A_1 \overline{A_4} A_5 \\ K &= \overline{A_0} \overline{A_1} A_2 \overline{A_4} \overline{A_5} + \overline{A_0} A_1 A_2 \overline{A_4} A_5 \\ J &= \overline{A_0} \overline{A_1} \overline{A_2} A_4 \overline{A_5} + \overline{A_0} A_1 \overline{A_2} A_4 A_5 \\ L &= A_0 \overline{A_1} \overline{A_2} A_4 \overline{A_5} + A_0 A_1 \overline{A_2} A_4 A_5 \\ M &= A_0 \overline{A_1} A_2 A_4 \overline{A_5} + A_0 A_1 A_2 A_4 A_5 \\ N &= \overline{A_0} \overline{A_1} \overline{A_2} A_4 A_5 + \overline{A_0} A_1 \overline{A_2} A_4 A_5 \\ P &= \overline{A_0} \overline{A_1} A_2 A_4 A_5 + A_0 A_1 \overline{A_2} \overline{A_4} \overline{A_5} \\ Q &= A_0 \overline{A_1} \overline{A_2} \overline{A_4} A_5 + A_0 A_1 \overline{A_2} \overline{A_4} A_5 \\ R &= A_0 \overline{A_1} A_2 A_4 A_5 + A_0 A_1 A_2 A_4 A_5 \end{aligned} \quad \cdots (4)$$

【 0036 】 前記式 (3) 及び式 (4) に基づき、 A_0, \dots, A_7 に対する C_0, \dots, C_{15} へのエンコードイングマッピング規則は、下記の式 (5) 、式 (6) に示すブール論理方程式で表現することができる (ステッ

プ214) 。 【 0037 】 【 数5 】

$$\begin{aligned} C_0 &= A_0 G + A_0 H + A_0 J + A_0 K + A_0 L + A_0 M + A_0 N + A_0 P + A_0 Q + A_0 R \\ C_1 &= A_1 G + A_1 H + A_1 J + A_1 K + A_1 L + A_1 M + A_1 N + A_1 P + A_1 Q + A_1 R \\ C_2 &= A_2 G + A_2 H + A_2 J + A_2 K + A_2 L + A_2 M + A_2 N + A_2 P + A_2 Q + A_2 R \\ C_3 &= A_3 G + A_3 H + A_3 J + A_3 K + A_3 L + A_3 M + A_3 N + A_3 P + A_3 Q + A_3 R \\ C_4 &= A_4 G + A_4 H + A_4 J + A_4 K + A_4 L + A_4 M + A_4 N + A_4 P + A_4 Q + A_4 R \\ C_5 &= A_5 G + A_5 H + A_5 J + A_5 K + A_5 L + A_5 M + A_5 N + A_5 P + A_5 Q + A_5 R \\ C_6 &= A_6 G + A_6 H + \overline{A_6} J + A_6 K + A_6 L + \overline{A_6} M + A_6 N + A_6 P + A_6 Q + A_6 R \\ C_7 &= A_7 G + A_7 H + \overline{A_7} J + \overline{A_7} K + \overline{A_7} L + \overline{A_7} M + A_7 N + A_7 P + A_7 Q + A_7 R \\ C_8 &= [(\overline{A_0} \overline{A_1} + A_0 A_1) \overline{A_6} + (\overline{A_0} A_1 + A_0 \overline{A_1}) A_6] \overline{A_7} + [(A_0 A_1 + \overline{A_0} \overline{A_1}) A_7 + (A_0 \overline{A_1} + \overline{A_0} A_1) \overline{A_7}] \overline{A_8} \\ &\quad + A_0 J + A_0 K + A_0 L + A_0 M + A_0 N + A_0 P + A_0 Q + A_0 R \\ C_9 &= [(\overline{A_1} \overline{A_2} + A_1 A_2) A_6 + (\overline{A_1} + A_1) (A_1 + A_2) \overline{A_6}] \overline{A_7} + [(A_1 A_2 + \overline{A_1} \overline{A_2}) \overline{A_7} + (A_1 + A_2) (\overline{A_1} + \overline{A_2}) A_7] \overline{A_8} \\ &\quad + (\overline{A_1} \overline{A_2} + A_1 A_2) J + (\overline{A_1} \overline{A_2} + A_1 A_2) K + (\overline{A_1} A_2 + A_1 \overline{A_2}) L + (\overline{A_1} A_2 + A_1 \overline{A_2}) M \\ &\quad + (\overline{A_1} A_2 + A_1 \overline{A_2}) N + (\overline{A_1} A_2 + A_1 \overline{A_2}) P + (A_2 A_1 + \overline{A_2} \overline{A_1}) Q + (A_2 A_1 + \overline{A_2} \overline{A_1}) R \\ C_{10} &= A_2 G + \overline{A_2} H + \overline{A_2} A_0 J + (A_6 + A_7) K + A_6 A_7 L + (\overline{A_6} + A_7) M + A_6 A_7 N \\ &\quad + (\overline{A_6} + A_7) P + \overline{A_2} A_0 Q + (A_6 + A_7) R \\ C_{11} &= \overline{A_3} G + A_3 H + [\overline{A_3} A_6 A_7 + A_3 (\overline{A_6} + A_7)] + [\overline{A_3} A_6 \overline{A_7} + A_3 (\overline{A_6} + \overline{A_7})] K \\ &\quad + [\overline{A_3} A_6 A_7 + A_3 (A_6 + A_7)] L + [\overline{A_3} A_6 \overline{A_7} + A_3 (\overline{A_6} + A_7)] M + [\overline{A_3} A_6 \overline{A_7} + A_3 (A_6 + A_7)] N \\ &\quad + [\overline{A_3} A_6 \overline{A_7} + A_3 (\overline{A_6} + A_7)] P + [\overline{A_3} A_6 A_7 + A_3 (\overline{A_6} + A_7)] Q + [\overline{A_3} A_6 A_7 + A_3 (\overline{A_6} + A_7)] R \\ C_{12} &= \overline{A_3} G + A_3 H + [\overline{A_3} A_6 A_7 + A_3 (\overline{A_6} + A_7)] + [\overline{A_3} A_6 \overline{A_7} + A_3 (\overline{A_6} + \overline{A_7})] K \\ &\quad + [\overline{A_3} A_6 A_7 + A_3 (A_6 + A_7)] L + [\overline{A_3} A_6 \overline{A_7} + A_3 (\overline{A_6} + A_7)] M + [\overline{A_3} A_6 \overline{A_7} + A_3 (A_6 + A_7)] N \\ &\quad + [\overline{A_3} A_6 A_7 + A_3 (\overline{A_6} + A_7)] P + [\overline{A_3} A_6 A_7 + A_3 (\overline{A_6} + A_7)] Q + [\overline{A_3} A_6 A_7 + A_3 (\overline{A_6} + A_7)] R \end{aligned}$$

【数6】

$$\begin{aligned}
C_{15} = & \left[(A_1 A_2 + \bar{A}_1 \bar{A}_2) \bar{A}_4 + (\bar{A}_1 + \bar{A}_2)(A_1 + A_2) A_4 \right] G + \left[(A_1 \bar{A}_2 + A_1 A_2) \bar{A}_7 + (A_1 + A_2)(\bar{A}_1 + \bar{A}_2) A_7 \right] H \\
& + \left[\bar{A}_1 \bar{A}_2 \bar{A}_4 \bar{A}_7 + A_1 A_2 (A_4 + A_7) \right] J + \left[\bar{A}_1 \bar{A}_2 \bar{A}_4 A_7 + A_1 A_2 (A_4 + \bar{A}_7) \right] K + \left[\bar{A}_1 \bar{A}_2 A_4 \bar{A}_7 + A_1 A_2 (\bar{A}_4 + A_7) \right] L \\
& + \left[\bar{A}_1 \bar{A}_2 A_4 A_7 + A_1 A_2 (\bar{A}_4 + \bar{A}_7) \right] M + \left[\bar{A}_1 A_2 (A_4 + A_7) + A_2 A_2 (A_4 + \bar{A}_7) + \bar{A}_2 A_2 \bar{A}_4 \bar{A}_7 + A_2 \bar{A}_2 \bar{A}_4 A_7 \right] N \\
& + \left[\bar{A}_1 \bar{A}_2 (A_4 + \bar{A}_7) + \bar{A}_1 A_2 (A_4 + A_7) + A_1 \bar{A}_2 \bar{A}_4 \bar{A}_7 + A_1 A_2 \bar{A}_4 \bar{A}_7 \right] P \\
& + \left[\bar{A}_2 A_2 (\bar{A}_4 + A_7) + A_2 A_2 (\bar{A}_4 + A_7) + \bar{A}_2 \bar{A}_2 A_4 \bar{A}_7 + A_2 \bar{A}_2 A_4 A_7 \right] Q \\
& + \left[\bar{A}_2 A_2 (\bar{A}_4 + \bar{A}_7) + A_2 A_2 (\bar{A}_4 + A_7) + \bar{A}_2 \bar{A}_2 A_4 A_7 + A_2 \bar{A}_2 A_4 A_7 \right] R \\
C_{16} = & A_1 G + A_2 H + \left[(A_1 A_7 + \bar{A}_1 \bar{A}_7) \bar{A}_3 + A_2 \bar{A}_7 \right] J + \left[(A_1 A_7 + \bar{A}_1 \bar{A}_7) \bar{A}_3 + A_2 A_7 \right] K \\
& + \left[(A_1 + A_2)(\bar{A}_1 + \bar{A}_2) \bar{A}_3 + A_2 \bar{A}_7 \right] L + \left[(A_1 + A_2)(\bar{A}_1 + \bar{A}_2) \bar{A}_3 + A_2 A_7 \right] M \\
& + \left[(A_1 A_7 + \bar{A}_1 \bar{A}_7) \bar{A}_3 + A_2 A_7 \right] N + \left[(A_1 A_7 + \bar{A}_1 \bar{A}_7) \bar{A}_3 + A_2 A_7 \right] P \\
& + \left[(A_1 + A_2)(\bar{A}_1 + \bar{A}_2) \bar{A}_3 + A_2 A_7 \right] Q + \left[(A_1 + A_2)(\bar{A}_1 + \bar{A}_2) \bar{A}_3 + A_2 A_7 \right] R \\
C_{17} = & A G + A H + \left[(A_1 + A_2)(\bar{A}_1 + \bar{A}_2) \bar{A}_3 + A_2 A_7 \right] J + \left[(A_1 + A_2)(\bar{A}_1 + \bar{A}_2) \bar{A}_3 + A_2 A_7 \right] K \\
& + \left[(A_1 A_7 + \bar{A}_1 \bar{A}_7) \bar{A}_3 + A_2 A_7 \right] L + \left[(A_1 + A_2)(\bar{A}_1 + \bar{A}_2) \bar{A}_3 + A_2 A_7 \right] M \\
& + \left[(A_1 + A_2)(\bar{A}_1 + \bar{A}_2) \bar{A}_3 + A_2 A_7 \right] N + \left[(A_1 A_7 + \bar{A}_1 \bar{A}_7) \bar{A}_3 + A_2 A_7 \right] P \\
& + \left[(A_1 + A_2)(\bar{A}_1 + \bar{A}_2) \bar{A}_3 + A_2 A_7 \right] Q + \left[(A_1 + A_2)(\bar{A}_1 + \bar{A}_2) \bar{A}_3 + A_2 A_7 \right] R
\end{aligned}$$

【0038】ハードウェア252はブロックエンコーダであって、前記論理方程式を満足するように複数の論理和（OR）ゲート、論理積（AND）ゲート及び否定（NOT）ゲートで構成され、入力される2進データに対応するコードワードを出力する（ステップ216）。

【0039】次に、前記式からブロックデコーダのハードウェア252を構成するため、 C_0, \dots, C_{16} に対する G, \dots, R 値を下記の式（7）に示すブール論理方程式から得ることができる。

【0040】

【数7】

$$\begin{aligned}
G &= (C_9 + C_{15})(C_8 + \bar{C}_{12}) \\
H &= (C_8 + C_{15})(C_9 + \bar{C}_{12}) \\
J &= \bar{C}_0 \bar{C}_2 \bar{C}_4 C_6 \\
K &= \bar{C}_0 C_2 \bar{C}_4 C_6 \\
L &= C_0 \bar{C}_2 C_4 C_6 \\
M &= C_0 C_2 C_4 \bar{C}_6 \\
N &= \bar{C}_0 \bar{C}_2 C_4 \bar{C}_6 \\
P &= \bar{C}_0 C_2 C_4 C_6 \\
Q &= C_0 \bar{C}_2 \bar{C}_4 \bar{C}_6 \\
R &= C_0 C_2 \bar{C}_4 \bar{C}_6
\end{aligned} \quad \dots (7)$$

【0041】前記式（7）から、 C_0, \dots, C_{16} に対する A_0, \dots, A_7 へのデコーディングマッピング規則を下記の式（8）のように得ることができる。

【0042】

【数8】

$$\begin{aligned}
A_0 &= C_0G + C_0H + C_0J + C_0K + C_0L + C_0M + C_0N + C_0P + C_0Q + C_0R \\
A_1 &= C_1G + C_1H + C_1J + C_1K + C_1L + C_1M + C_1N + C_1P + C_1Q + C_1R \\
A_2 &= C_2G + C_2H + C_2J + C_2K + C_2L + C_2M + C_2N + C_2P + C_2Q + C_2R \\
A_3 &= C_3G + C_3H + C_3J + C_3K + C_3L + C_3M + C_3N + C_3P + C_3Q + C_3R \\
A_4 &= C_4G + C_4H + C_4J + C_4K + C_4L + C_4M + C_4N + C_4P + C_4Q + C_4R \\
A_5 &= C_5G + C_5H + C_5J + C_5K + C_5L + C_5M + C_5N + C_5P + C_5Q + C_5R \quad \dots (8) \\
A_6 &= C_6G + C_6H + C_6J + C_6K + C_6L + C_6M + C_6N + C_6P + C_6Q + C_6R \\
A_7 &= C_7G + C_7H + [C_{10} + C_{11}\bar{C}_3 + C_3\bar{C}_{15}]J + [C_3C_{15} + \bar{C}_3C_{10}\bar{C}_{11}]K \\
&\quad + [C_{10} + C_{11}\bar{C}_3 + C_3\bar{C}_{15}]L + [C_3C_{15} + \bar{C}_3C_{10}\bar{C}_{11}]M + [C_{10} + C_{11}\bar{C}_3 + C_3\bar{C}_{15}]N \\
&\quad + [C_3C_{15} + \bar{C}_3C_{10}\bar{C}_{11}]P + [C_{10} + C_{11}\bar{C}_3 + C_3\bar{C}_{15}]Q + [C_3C_{15} + \bar{C}_3C_{10}\bar{C}_{11}]R
\end{aligned}$$

【0043】前記ブロックデコーディングのためのマッピング規則に従って複数の論理和（OR）ゲート、論理積（AND）ゲート及び否定（NOT）ゲートでブロックデコーダを構成する（ステップ216）。

【0044】図5に示された如きコードブックに基づき、 A_0, \dots, A_7 の8ビットのデータビットと C_0, \dots, C_{15} の16ビットのコードワードとのマッピング規則において、PARを下げるるとともに、符号率が1/2のエンコーダまたはデコーダを構成するために必要な論理方程式の数を減らす種々の規則が存在できる。すなわち、本発明とは異なる入出力マッピング論理方程式を求めたり、本発明から与えられた論理方程式に基づき論理ゲート回路を具現化する際に最適化させたりする方法が可能である。

【0045】

【発明の効果】以上述べたように、本発明によると、OFDM信号の伝送に際して、信号のPARが下がるように4進データをブロック符号化し、且つ4進変調することにより、従来の2進データのブロック符号化に比べ高い伝送率にてデータを伝送することが可能となる。

【0046】さらに、符号化及び復号化に際し、コードブックを用いて目的とする出力値を一層容易に見出すことができ、前記コードブックに基づく入出力関係式により論理積、論理和及び否定ゲートのみでエンコーダまたはデコーダを具現化することができる。これにより、ハードウェアの構成が単純化され、装置のコンパクト化が図れる。さらに、システムの応答遅れが減るので高速のデータ伝送が可能となる。

【図面の簡単な説明】

【図1】本発明に係るOFDM送信システムの一例のブロック図である。

【図2】図1のOFDM送信システムから送られてきた

信号を受信するOFDM受信システムの一例のブロック図である。

【図3】図1及び図2に示されたブロックエンコーダ及びブロックデコーダの設計方法を示す一例のフローチャートである。

【図4】ブロックエンコーダを具現化するための装置の一例のブロック図である。

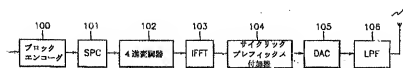
【図5】図3に示された段階を実行して作成されたコードブックの例を示す図である。

【図6】本発明に使用されたコードブックの分割例を示す図である。

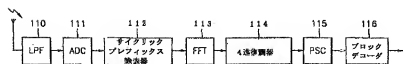
【符号の説明】

- 100 ブロックエンコーダ
- 101 直列/並列変換器（SPC）
- 102 4進変調器
- 103 逆高速フーリエ変換器
- 104 サイクリックプレフィックス付加器
- 105 デジタル/アナログ変換器（DAC）
- 111 アナログ/デジタル変換器（ADC）
- 106、110 ローパスフィルタ（LPF）
- 112 サイクリックプレフィックス除去器
- 113 フーリエ変換器（FFT）
- 114 4進復調器
- 115 並列/直列変換器（PSC）
- 116 ブロックデコーダ
- 240 V進データ生成部
- 242 OFDMシンボル生成部
- 244 判別部
- 246 コードワード抽出部
- 248 コードブック貯蔵部
- 250 マッピング規則生成部
- 252 ハードウェア

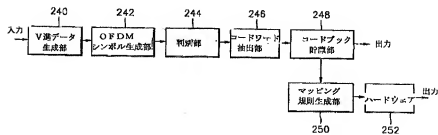
【図1】



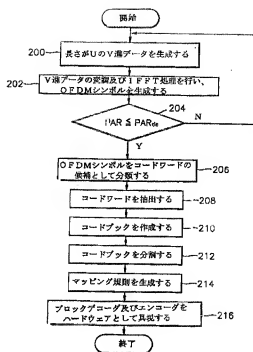
【図2】



【図4】



【図3】



【図6】

HEX

	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	J												N			
1					G				H				P			
2	K															
3									N				H			
4	G								P							
5					K											
6																
7																
8					Q				L				G			
9	H								M							
A					R											
B																
C	Q				H				G				L			
D																
E	R												M			
F																

【圖5】

HEX

MSB	LSB	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	0346	0361	0389	0392	049C	059D	0652	0753		086C	09A1	0ABE	0BA3	0C4A	0C5D	0C85	0CAE
1	1257	1270	1283	1298	148C	158D	1642	1743		1850	197D	1AB2	1B7F	1D4C	1D5B	1D94	1D8F
2	2143	2164	21B0	21A9	2470	2571	289E	27BF		2B4C	2981	2A4E	28B3	2E7F	2E88	2E8C	2EA7
3	3052	3075	30BA	30A1	3460	3561	36AE	37AE		3890	395D	3A92	3B5F	3F79	3F8E	3F9D	3FB6
4	40D8	41D9	4216	4317	4702	4725	47C0	47D6		480E	4819	48C1	48EA	4C2B	4D53	4E2A	4F77
5	50C8	51C9	5206	5307	5613	5634	56C7	56DC		590B	591F	59D0	59FB	5CF4	5D39	5EF8	5F3B
6	6034	6135	62FA	63FB	6507	6520	65F4	65EF		6A3B	6A2C	6ACB	6AE3	6C0B	6D05	6E0A	6FC7
7	7024	7125	72EA	73EB	7416	7431	74EF	74E5		7B3D	7B2A	7B09	7BF2	7CDA	7D19	7ED6	7F1B
8	80EA	8129	82E6	8328	840D	8426	84C2	84D5		8B01	8B1A	8BCE	8BE9	8C14	8D15	8EDA	8F0B
9	9038	91F5	923A	93F7	951C	9537	95C4	95D3		9A0B	9A10	9ADF	9AFB	9C04	9D05	9ECA	9FCB
A	A0C4	A109	A2C6	A303	A604	A62F	A6F7	A6ED		A938	A923	A9C3	A9EC	ACFB	A0F9	AC36	AF37
B	B018	B1D5	B21A	B3D7	B715	B73E	B7F1	B7FE		B832	B829	B8DA	B8FD	BCE8	BOE9	BE26	BF27
C	C049	C062	C086	C091	C440	C56D	C6A2	C7BF		C850	C951	CA9E	CBBF	CF45	CF5E	CFBA	CFAD
D	D158	D173	D180	D197	D47C	D5B1	D67E	D7B3		D840	D941	DA8E	DB8F	DE4F	DE54	DE9B	DECB
E	E240	E268	E2B3	E2A4	E480	E54D	E682	E74F		E8BC	E9BD	EA72	EB73	ED7C	ED87	EDBF	EDAB
F	F351	F37A	F3B5	F3A2	F45C	F591	F65E	F793		F8AC	F9AD	FA62	FB63	FC76	FC6D	FC9E	FCB9